

(51) Int. Cl.<sup>7</sup>

H 0 3 G 3/10

識別記号

F I

H 0 3 G 3/10

テーマコード (参考)

B

審査請求 未請求 予備審査請求 有 (全 22 頁)

(21) 出願番号 特願平10-547022  
 (86) (22) 出願日 平成10年4月14日 (1998. 4. 14)  
 (85) 翻訳文提出日 平成11年11月1日 (1999. 11. 1)  
 (86) 国際出願番号 PCT/US 98/07334  
 (87) 国際公開番号 WO 98/49769  
 (87) 国際公開日 平成10年11月5日 (1998. 11. 5)  
 (31) 優先権主張番号 08/846, 293  
 (32) 優先日 平成9年4月30日 (1997. 4. 30)  
 (33) 優先権主張国 米国 (US)  
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR

(71) 出願人 マキシム・インテグレートッド・プロダクツ・インコーポレーテッド  
 アメリカ合衆国・94086・カリフォルニア州・サニーベイル・サン ガブリエル ドライブ・120  
 (72) 発明者 マーシュ, ジェイムス・ダヴリュウ・エイチ  
 アメリカ合衆国・97140・オレゴン州・シャーウッド・サウス ウェスト シュローダー レイン・18850  
 (74) 代理人 弁理士 山川 政樹 (外5名)

最終頁に続く

(54) 【発明の名称】 直線性と帯域幅が改善された可変利得増幅器

## (57) 【要約】

帯域幅および直線性が改善され、低ノイズ設計では通常失われる直線性を維持しながら、低ノイズ性能の増幅器を設計することができることによってダイナミック・レンジが改善された可変利得増幅器。この増幅器は、別の電流ステアリング段に結合された差動電流ステアリング入力段を有し、利得制御信号にตอบสนองして利得を制御する電流ステアリング型の増幅器である。出力回路の一对の共通ベース接続トランジスタの電流が維持され、そのため、これらのトランジスタは過剰なノイズを生み出したり、または低利得で増幅器の帯域幅および直線性を制限したりしない。利得制御信号にตอบสนองしたこれらのトランジスタの電流の維持によって、これらのトランジスタの電流が利得とは独立に実質的に一定に維持される。例示的な実施形態を開示した。

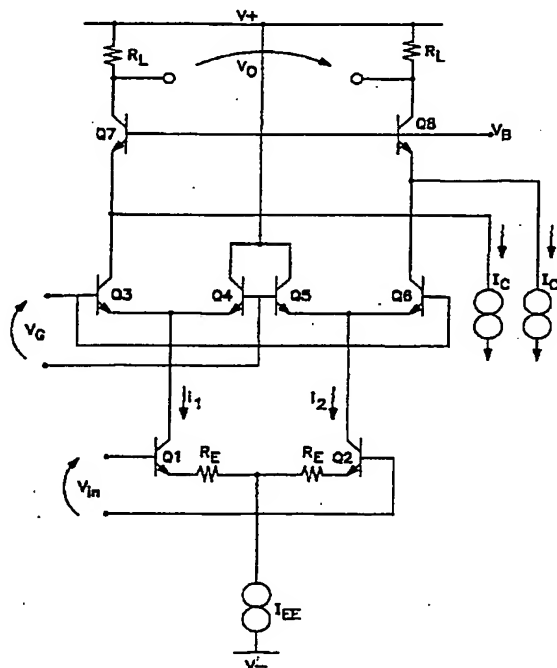


FIG. 3.

**【特許請求の範囲】**

1. 利得制御信号に応答して、増幅中の信号とバイアス電流の組合せをともに第1の接続を通して負荷デバイスに制御可能にステアリングする可変利得増幅器において、

第1および第2の領域ならびに制御電極を有し、制御電極と第2の領域の間の電圧に応答して第1の領域と第2の領域の間の電流を制御するトランジスタを備え、

トランジスタの第2の領域が第1の接続に結合され、トランジスタの第1の領域が負荷デバイスおよび可変利得増幅器の出力に結合され、トランジスタの制御電極が基準電圧に結合され、

さらに、トランジスタの第1の領域に結合され、第1の接続を通してステアリングされた信号およびバイアス電流が最小限であるときに第1の接続を通して追加の電流を供給する電流源を備える改良。

2. 電流源がやはり利得制御信号に応答して、第1の接続の信号およびバイアス電流が低下したときにトランジスタを通る追加電流を増大させ、第1の接続の信号およびバイアス電流が増大したときにトランジスタを通る追加電流を低下させる、請求項1に記載の改良。

3. 電流源がやはり利得制御信号に応答して、第1の接続の信号およびバイアス電流が低下したときにトランジスタを通る追加電流を増大させ、第1の接続の信号およびバイアス電流が増大したときにトランジスタを通る追加電流を低下させ、トランジスタを通るバイアス電流と追加電流の組合せを利得制御信号とは独立に実質的に一定に維持する、請求項1に記載の改良。

4. トランジスタがnpnバイポーラ・トランジスタである、請求項1に記載の改良。

5. トランジスタがMOSトランジスタである、請求項1に記載の改良。

6. 利得制御信号に応答して、増幅中のそれぞれの相補信号の制御可能部分とバイアス電流の対応するそれぞれの部分との組合せをともに、第1および第2の接続をそれぞれ通して第1および第2の負荷デバイスにそれぞれステアリングす

る可変利得増幅器において、

第1および第2の領域ならびに制御電極を有し、制御電極と第2の領域の間の電圧に応答して第1の領域と第2の領域の間の電流を制御する第1および第2のトランジスタを備え、

第1のトランジスタの第2の領域が第1の接続に結合され、第1のトランジスタの第1の領域が第1の負荷デバイスに結合され、第1のトランジスタの制御電極が基準電圧に結合され、

第2のトランジスタの第2の領域が第2の接続に結合され、第2のトランジスタの第1の領域が第2の負荷デバイスに結合され、第2のトランジスタの制御電極が基準電圧に結合され、

さらに、第1および第2の接続に結合され、第1および第2の接続の信号およびバイアス電流が最小限であるときに第1および第2のトランジスタを通して追加の電流を供給する電流源を備える改良。

7. 電流源がやはり利得制御信号に応答して、第1および第2の接続の信号およびバイアス電流が低下したときに第1および第2のトランジスタを通る追加電流を増大させ、第1および第2の接続の信号およびバイアス電流が増大したときに第1および第2のトランジスタを通る追加電流を低下させる、請求項6に記載の改良。

8. 電流源がやはり利得制御信号に応答して、第1および第2の接続の信号およびバイアス電流が低下したときに第1および第2のトランジスタを通る追加電流を増大させ、第1および第2の接続の信号およびバイアス電流が増大したときに第1および第2のトランジスタを通る追加電流を低下させ、第1および第2のトランジスタを通るバイアス電流と追加電流の組合せを利得制御信号とは独立に実質的に一定に維持する、請求項6に記載の改良。

9. トランジスタがnpnバイポーラ・トランジスタである、請求項6に記載の改良。

10. トランジスタがMOSトランジスタである、請求項6に記載の改良。

11. 第1および第2の電源接続、

第1および第2の領域ならびに制御電極をそれぞれが有し、制御電極と第2の

領域の間の電圧に応答して第 1 の領域と第 2 の領域の間の電流を制御する第 1 な  
いし第 1 1 のトランジスタ、

第 1 および第 2 の電流源、ならびに

第 1 および第 2 の負荷デバイス

を備え、

第 1 および第 2 のトランジスタの第 2 の領域が互いに結合され、さらに第 1 の  
電流源を通して第 2 の電源接続に結合され、

第 3 および第 4 のトランジスタの第 2 の領域が互いに結合され、さらに第 1 の  
トランジスタの第 1 の領域に結合され、

第 5 および第 6 のトランジスタの第 2 の領域が互いに結合され、さらに第 2 の  
トランジスタの第 1 の領域に結合され、

第 4 および第 5 のトランジスタの第 1 の領域が互いに結合され、さらに第 1 の  
電源接続に結合され、

第 9、第 10 および第 11 のトランジスタの第 2 の領域が互いに結合され、さ  
らに第 2 の電流源を通して第 2 の電源接続に結合され、

第 3 のトランジスタの第 1 の領域が第 7 のトランジスタの第 2 の領域および第  
10 のトランジスタの第 1 の領域に結合され、

第 6 のトランジスタの第 1 の領域が第 8 のトランジスタの第 2 の領域および第  
11 のトランジスタの第 1 の領域に結合され、

第 9 のトランジスタの第 1 の領域が第 1 の電源接続に結合され、

第 1 および第 2 のトランジスタの制御電極が信号入力に接続され、

第 3、第 6 および第 9 のトランジスタの制御電極が互いに結合されて、利得制  
御接続を形成し、

第 4、第 5、第 10 および第 11 のトランジスタの制御電極が互いに結合され  
て、第 2 の利得制御接続を形成し、

第 7 および第 8 のトランジスタの制御電極が互いに結合され、さらにバイアス  
入力接続に結合され、

第 7 のトランジスタの第 1 の領域が第 1 の負荷デバイスを通して第 1 の電源接  
続に結合され、出力接続を形成し、

第 8 のトランジスタの第 1 の領域が第 2 の負荷デバイスを通して第 1 の電源接続に結合され、第 2 の出力接続を形成する可変利得増幅器。

## 【発明の詳細な説明】

直線性と帯域幅が改善された可変利得増幅器発明の背景1. 発明の分野：

本発明は可変利得増幅器の分野に関する。

2. 従来技術：

古典的な単象限 (single quadrant) の可変利得増幅器を第1図に示す。この増幅器は、トランジスタQ1、Q2、エミッタ抵抗 $R_E$ 、および電流源 $I_{EE}$ から構成された $G_m$  (相互コンダクタンス) 段、ならびに抵抗 $R_L$ によって負荷がかけられたトランジスタQ3ないしQ6から構成された電流ステアリング (電流方向付け) 段からなる (本明細書および請求の範囲の中で使用する電流源という用語は、当技術分野で一般的であるとおりの電流のソースとシンクの両方を表す)。

入力信号 $V_{in}$ は $G_m$ 段を介して $i_1 + i_2 = I_{EE}$ である出力電流 $i_1$ 、 $i_2$ を発生させる。利得制御電圧 $V_g$ を設定することによって、電流 $i_1$ 、 $i_2$ のうちの適当な割合の電流が負荷抵抗 $R_L$ に加えられ、出力電圧 $V_o$ が生じる。電流 $i_1$ 、 $i_2$ の残りの部分は、トランジスタQ4、Q5を通して同相モード電源に分流される。以下の分析では便宜上、これらのトランジスタのベース電流をゼロと仮定する。

第1図の単純な段では、制御電圧 $V_g$ の範囲を適当に選択することによって、大きな可変利得範囲を生み出すことができる。ただし、ダイナミック・レンジの要件を満たすためには正しいトランジスタ領域の選択が決定的に重要である。さらに、この増幅器のトポロジでは大量のノイズが発生し、特に、電流 $i_1$ 、 $i_2$ の大部分が負荷抵抗 $R_L$ にステアリングされる高利得シナリオで顕著である。トランジスタQ3ないしQ6は大量のノイズに寄与し、したがって、これらのデバイスは、この段で使用するバイアス電流に対して相対的にかなり大きくなければならない。電流ステアリング・トランジスタQ3およびQ6の信号 (およびバイアス) 電流が低下してこの段の利得が下がると、この段の帯域幅が低下し、結果

的に、増幅器の帯域幅がこの段の利得に依存することになる。このことは、高帯域幅可変利得増幅器には望ましくない。

第2図に示すように、共通ベース接続のトランジスタを可変利得増幅器に追加するだけでこの問題はある程度軽減されるが、解決には至らない。バイアス電流ならびに信号電流が幅広く変動すると、利得の低下に伴って帯域幅が低下する。共通ベース段のバイアス条件の高い可変性のために、この追加によって非線形効果が導入され、これが、トランジスタの入力インピーダンスに直接的な影響を与え、可変利得増幅器の負荷の可変性が高まる。この負荷の実数成分と虚数成分がともに変化する。ある利得設定では、これらの成分の値が直線性および安定性に影響し、高調波性および振動性のスパークが生じて、これらの値が電流ステアリング段にとって望ましいものではなくなる。

### 発明の概要

本発明は、帯域幅および直線性が改善され、低ノイズ設計では通常失われる直線性を維持しながら低ノイズ性能の増幅器を設計することによってダイナミック・レンジが改善された可変利得増幅器である。この増幅器は、別の電流ステアリング段に結合された差動電流ステアリング入力段を有し、利得制御信号に応答して利得を制御する電流ステアリング型の増幅器である。出力回路の一对の共通ベース接続トランジスタの電流が維持され、そのため、これらのトランジスタは過剰なノイズを生み出したり、または低利得で増幅器の帯域幅および直線性を制限したりしない。利得制御信号に応答したこれらのトランジスタの電流の維持によって、これらのトランジスタの電流が利得とは独立に実質的に一定に維持される。例示的な実施形態を開示した。

### 図面の簡単な説明

第1図は、従来技術の一般的な単象限可変利得増幅器の回路図である。

第2図は、可変利得増幅器に共通ベース接続トランジスタが追加された第1図に類似の回路図である。

第3図は、本発明の一実施形態の回路図である。

第4図は、可変利得電圧 $V_G$ によって制御可能な可変電流源を追加電流源に使用した本発明の第2の実施形態の回路図である。

第5図は、バイポーラ・トランジスタではなく電界効果トランジスタを使用し

た第4図に類似の回路図である。

#### 発明の詳細な説明

次に第3図を参照して本発明の一実施形態を示す。この図に示す通り、本発明は、共通ベース・トランジスタQ7、Q8とこの共通ベース接続トランジスタQ7、Q8に追加のエミッタ電流を加える分岐させた電流源 $I_c$ とが追加されている。トランジスタQ7、Q8のベースは固定バイアス電圧 $V_B$ によってバイアスされる。バイアス電流 $I_c$ の大きさを適当に選択することによって、共通ベース・トランジスタQ7、Q8の総バイアス電流の変動を制御することができ、したがってこの段に必要な帯域幅を利得設定とは独立に維持することができる。この追加によってさらに、共通ベース接続トランジスタQ3、Q6の入力インピーダンスの変化が最小限に抑えられ、可変利得増幅器の電流ステアリング部分の負荷がより一定となり、これによって直線性と安定性がともに強化される。

先に述べたとおり、トランジスタQ1、Q2、エミッタ抵抗 $R_E$ および電流源 $I_{EE}$ を備える差動相互コンダクタンス増幅器は、入力電圧 $V_{in}$ に応答して、トランジスタQ1とトランジスタQ2の間での電流 $I_{EE}$ の分割を決定する。このとき $i_1 + i_2 = I_{EE}$ は維持される。トランジスタQ1のコレクタ電流 $i_1$ およびトランジスタQ2のコレクタ電流 $i_2$ はそれぞれ、トランジスタQ3、Q4およびトランジスタQ5、Q6によってさらに再分割される。利得制御電圧 $V_g$ が、トランジスタQ3、Q6の共通ベース接続とトランジスタQ4、Q5の共通ベース接続との間に印加されるため、利得制御電圧 $V_g$ によって電流 $i_1$ のうちのある割合の電流がトランジスタQ3を通して供給され、電流 $i_1$ の残りの部分がトランジスタQ4を通して $V+$ レールから直接に供給される。電流 $i_2$ のうちの同じ割合の電流がトランジスタQ6によって供給され、電流 $i_2$ の残りの部分がトランジスタQ5を通して $V+$ レールから直接に供給される。

トランジスタQ4、Q5が実質的にオフのとき、増幅器の利得は最大となり、

トランジスタQ3、Q6のコレクタ電流はそれぞれ電流 $i_1$ 、電流 $i_2$ に実質的に等しくなる。他方の極端に近づくと、電流 $i_1$ 、 $i_2$ のごく小部分のみがトランジスタQ3、Q6によって供給され、残りの部分がトランジスタQ4、Q5を通し



て $V+$ レールから直接に供給される。しかし電流源 $I_c$ によって、共通ベース接続トランジスタ $Q7$ 、 $Q8$ の電流は十分な値に維持され、そのため、これらのトランジスタのバイアスは、増幅器の利得が幅広く変化してもドラスティックには変化しない。より具体的に言うと、可変利得増幅器が低利得条件下で動作してもこれらのトランジスタのバイアス電流はドラスティックには低下しない。この回路がよくマッチングされていると仮定すると、負荷抵抗 $R_L$ の電流 $I_c$ が出力電圧 $V_o$ に対する同相モード電圧レベルを与え、出力端子 $V_o$ の差動出力電圧に影響を及ぼさない。

追加電流源 $I_c$ はさまざまな形態をとることができる。例えばこれらを、標準的な（温度に依存しない）定電流源、または絶対温度に比例する電流源（PTAT）とすることができる。またこれらを、第4図に示す本発明の実施形態のような可変利得電圧 $V_g$ によって制御可能な可変電流源とすることもできる。この実施形態では、第3図の実施形態の電流源 $I_c$ が、トランジスタ $Q10$ 、 $Q11$ のコレクタ電流によって与えられる。これらのコレクタ電流に $Q9$ のコレクタ電流を加えたものは電流源 $I_{EE}$ に等しい。この実施形態ではこの電流源が、可変利得増幅器の差動相互コンダクタンス入力段のトランジスタ $Q1$ 、 $Q2$ のエミッタに結合された電流源に等しい。

第4図の回路の動作は当然のことながらトランジスタの相対的なサイズに依存する。ただし、トランジスタ $Q3$ 、 $Q4$ 、 $Q5$ 、 $Q6$ 、 $Q10$ および $Q11$ が全く同一のトランジスタである例を考えると、トランジスタ $Q9$ のサイズはこれらの全く同一のトランジスタのサイズの2倍になる。さらに、最初は、ゼロ入力電圧 $V_{in}$ 、ゼロ利得制御電圧 $V_g$ であるとする。ゼロ差動入力電圧 $V_{in}$ のため、電流源 $I_{EE}$ の電流は、トランジスタ $Q1$ と $Q2$ のコレクタ間で等分割される。これらの成分はそれぞれ、トランジスタ $Q3$ と $Q4$ 、およびトランジスタ $Q5$ と $Q6$ の間でさらに等分割され、その結果、トランジスタ $Q3$ 、 $Q6$ のコレクタ電流は $I_{EE}/4$ ずつとなる。トランジスタ $Q9$ 、 $Q10$ および $Q11$ に関しては、電流

源 $I_{EE}$ が分割されて、トランジスタ $Q10$ 、 $Q11$ の電流は $I_{EE}/4$ となり、トランジスタ $Q9$ はサイズが、トランジスタ $Q10$ 、 $Q11$ のそれぞれのサイズの

2倍であるので、トランジスタQ9の電流は $I_{EE}/2$ となる。

次に例えば、利得制御電圧 $V_G$ をゼロから、トランジスタQ3、Q6のベース電圧がトランジスタQ4、Q5のベース電圧よりも低いある値に変化させた場合、増幅器の利得は低減し、トランジスタQ3、Q6のバイアス電流の一部がトランジスタQ4、Q5にシフトされる。しかし同時に、トランジスタQ3、Q6のベース電圧の変化によってトランジスタQ9のベース電圧も低下して、これを通るバイアス電流が減り、トランジスタQ10、Q11のバイアス電流が増大する。トランジスタQ10、Q11のバイアス電流の増大は、トランジスタQ3、Q6のバイアス電流の低下分に等しく、そのためトランジスタQ7、Q8のバイアス電流はこの回路の利得設定とは独立に実質的に $I_{EE}/2$ に維持される。このようにトランジスタQ7、Q8は利得の変動の影響を実質的に受けず、より重要には、非常に低い利得値での動作によって引き起こされる回路性能への有害な影響を受けない。

本発明は、バイポーラ技術で実現された電流ステアリング可変利得増幅器と、MOS技術で実現された電流ステアリング可変利得増幅器の両方に適用可能である。例えば第5図に、第4図のバイポーラ・トランジスタの代わりにnチャネルMOSFETを使用した第4図に類似の回路図を示す。2つの電流源はそれぞれ、トランジスタQ1、Q2のソース電流およびトランジスタQ9、Q10、Q11のソース電流をそれぞれ供給するので、これらの電流源は $I_s$ と標識されている。同様に、トランジスタQ1、Q2のソースと直列に接続された抵抗は $R_s$ と標識されている。その他、第5図の残りの構成要素には第4図のバイポーラ・バージョンと同じデバイス識別が与えられている。これは、電界効果デバイスの特性は第4図のバイポーラ・デバイスとはいくぶん異なるものの、第5図の回路の電界効果デバイスは第4図のバイポーラ・デバイスに関して説明したと同じように機能し、したがって先の説明を第4図に対してと同じように第5図にも適用でき。

もちろん、第4図に示したnpnトランジスタまたは第5図のnチャネル・デバイスを使用するかわりに、当技術分野で周知のとおり、pnpトランジスタま

たはpチャネル・デバイスを使用することもできる。また、異なる種類のトランジスタ、例えば単なる一例として、トランジスタQ1、Q2にnチャネル・トランジスタ、残りのトランジスタにnpnトランジスタを使用して本発明を実現することもできる。ただしトランジスタの種類を混合して使用することは好ましくない。

本発明を、本発明のある好ましい実施形態に関して開示し説明してきたが、本発明の趣旨および範囲から逸脱することなく本発明を変更することができることは当業者なら理解できよう。

【図 1】

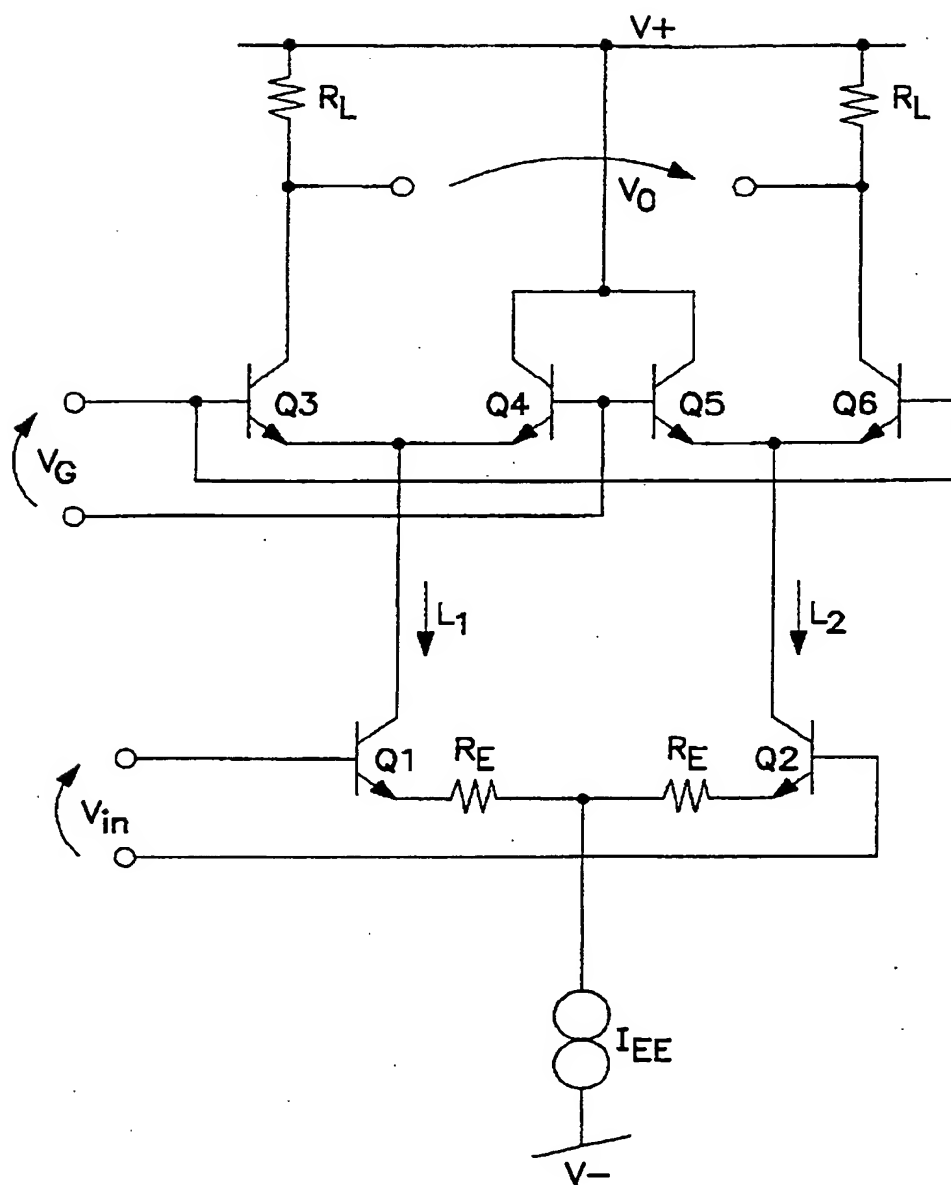


FIG. 1



The diagram shows a Wilson current source circuit. At the bottom, a differential pair consists of transistors Q1 and Q2 with emitter resistors  $R_E$ . Their emitters are connected to a common tail node, which is connected to a negative supply  $V^-$  through a current source  $I_{EE}$ . The input  $V_{in}$  is applied to the bases of Q1 and Q2. The collector currents  $i_1$  and  $i_2$  flow into the bases of transistors Q3 and Q6, respectively. Above Q3 and Q6 is a Wilson current mirror consisting of transistors Q4, Q5, and Q8. The emitters of Q4 and Q5 are connected to the collector of Q3 and the collector of Q6, respectively. The emitters of Q4 and Q5 are also connected to a common node that is connected to the base of Q8. The collector of Q8 is connected to a positive supply  $V^+$  through a resistor  $R_L$ . The collector of Q6 is also connected to  $V^+$  through a resistor  $R_L$ . The output voltage  $V_O$  is taken across  $R_L$  in the collector of Q6. The base of Q8 is connected to a bias voltage  $V_B$ . The input  $V_G$  is applied to the bases of Q3 and Q6.

FIG. 3.

【図 4】

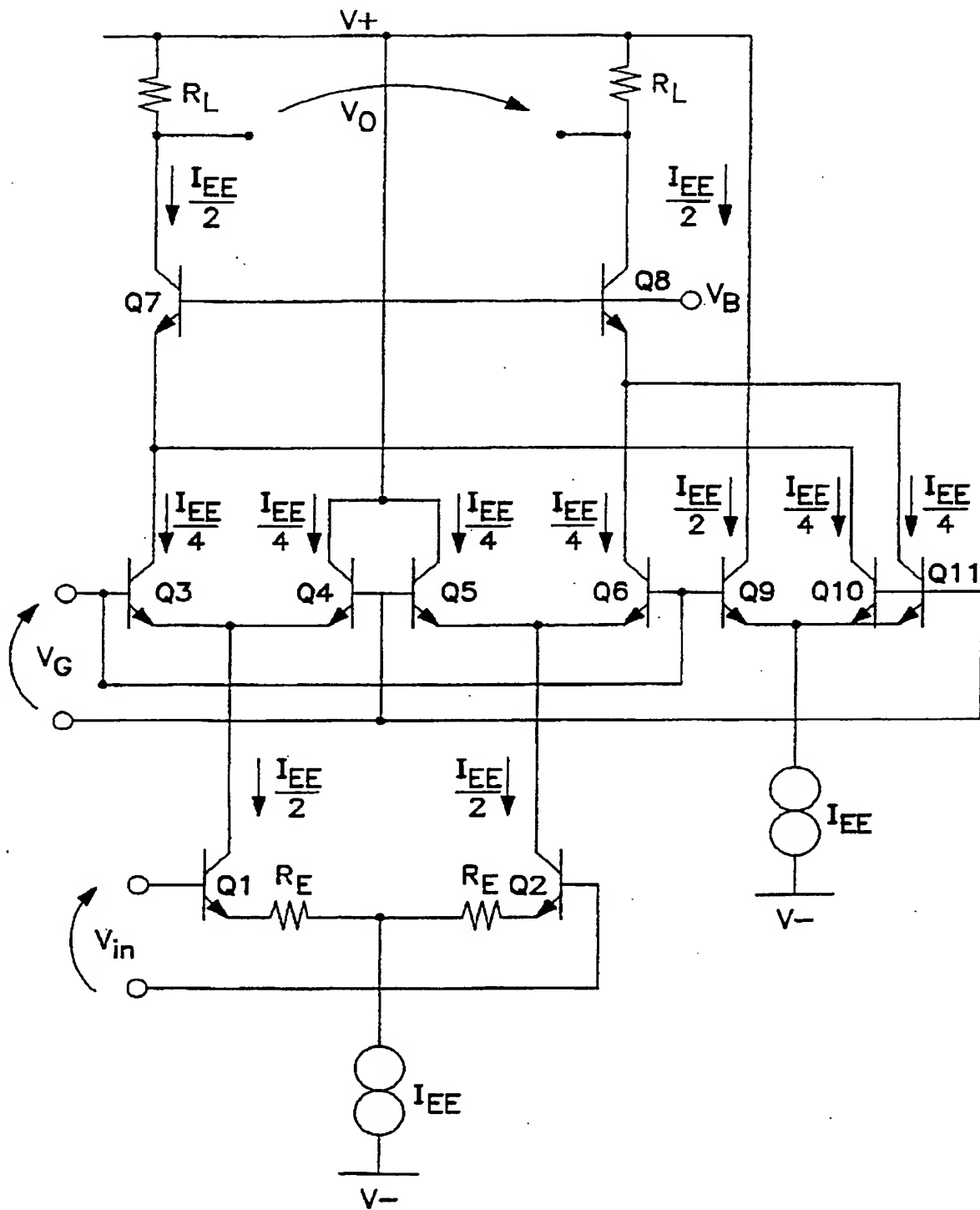
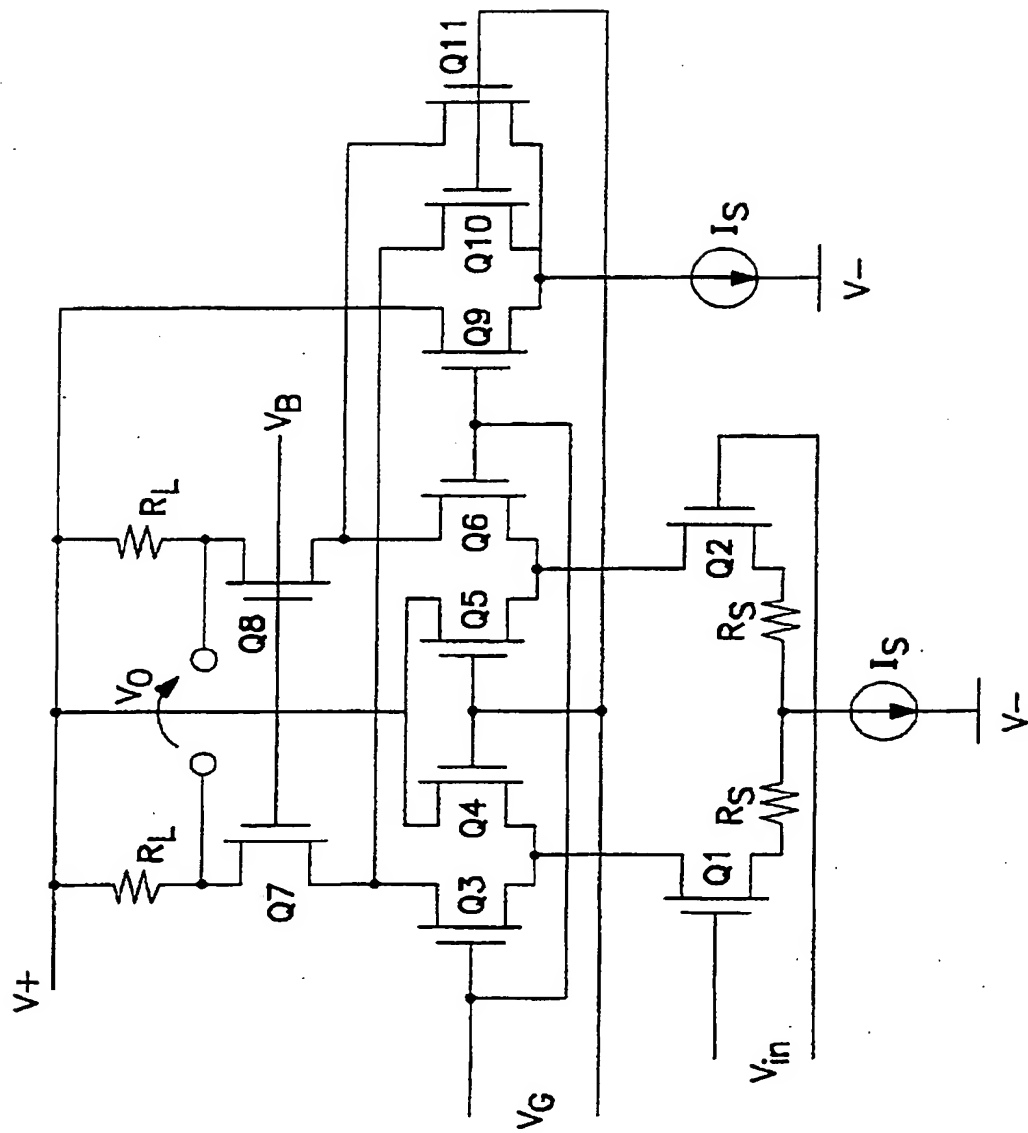


FIG. 4

【図 5】





【手続補正書】特許法第184条の8第1項

【提出日】平成11年3月29日（1999. 3. 29）

【補正内容】

補正請求の範囲

1. 利得制御信号に応答して、増幅中の信号とバイアス電流の組合せをともに第1の接続を通して負荷デバイスに制御可能にステアリングする可変利得増幅器において、

負荷デバイスおよび出力に結合された第1の領域、第1の接続に結合された第2の領域、基準電圧に結合された制御電極を有し、制御電極と第2の領域の間の電圧に応答して第1の領域と第2の領域の間の電流を制御するトランジスタ、ならびに

トランジスタの第2の領域に結合され、第1の接続を通してステアリングされた信号およびバイアス電流が最小限であるときに第1の接続を通して追加の電流を供給する電流源であって、やはり利得制御信号に応答して、第1の接続の信号およびバイアス電流が低下したときにトランジスタを通る追加電流を増大させ、第1の接続の信号およびバイアス電流が増大したときにトランジスタを通る追加電流を低下させ、トランジスタを通るバイアス電流と追加電流の組合せを利得制御信号とは独立に実質的に一定に維持する電流源

を備える改良。

2. トランジスタがnpnバイポーラ・トランジスタである請求項1に記載の改良。

3. トランジスタがMOSトランジスタである請求項1に記載の改良。

4. 利得制御信号に応答して、増幅中のそれぞれの相補信号の制御可能部分とバイアス電流の対応するそれぞれの部分との組合せをともに、第1および第2の接続をそれぞれ通して第1および第2の負荷デバイスにそれぞれステアリングする可変利得増幅器において、

第1の負荷デバイスおよび第1の出力に結合された第1の領域、第1の接続に結合された第2の領域、基準電圧に結合された制御電極を含み、制御電極と第2の領域の間の電圧に応答して第1の領域と第2の領域の間の電流を制御する第1

のトランジスタ、

第2の負荷デバイスおよび第2の出力に結合された第1の領域、第2の接続に

結合された第2の領域、基準電圧に結合された制御電極を含み、制御電極と第2の領域の間の電圧に応答して第1の領域と第2の領域の間の電流を制御する第2のトランジスタ、ならびに

第1および第2の接続に結合され、第1および第2の接続の信号およびバイアス電流が最小限であるときに第1および第2の接続を通して追加の電流を供給する電流源であって、やはり利得制御信号に応答して、第1および第2の接続の信号およびバイアス電流が低下したときに第1および第2のトランジスタを通る追加電流を増大させ、第1および第2の接続の信号およびバイアス電流が増大したときに第1および第2のトランジスタを通る追加電流を低下させ、第1および第2のトランジスタを通るバイアス電流と追加電流の組合せを利得制御信号とは独立に実質的に一定に維持する電流源

を備える改良。

5. トランジスタがnpnバイポーラ・トランジスタである請求項4に記載の改良。

6. トランジスタがMOSトランジスタである請求項4に記載の改良。

7. 第1および第2の電源接続、

第1および第2の領域ならびに制御電極をそれぞれが有し、制御電極と第2の領域の間の電圧に応答して第1の領域と第2の領域の間の電流を制御する第1ないし第11のトランジスタ、

第1および第2の電流源、ならびに

第1および第2の負荷デバイス

を備え、

第1および第2のトランジスタの第2の領域が互いに結合され、さらに第1の電流源を通して第2の電源接続に結合され、

第3および第4のトランジスタの第2の領域が互いに結合され、さらに第1のトランジスタの第1の領域に結合され、

第5および第6のトランジスタの第2の領域が互いに結合され、さらに第2のトランジスタの第1の領域に結合され、

第4および第5のトランジスタの第1の領域が互いに結合され、さらに第1の電源接続に結合され、

第9、第10および第11のトランジスタの第2の領域が互いに結合され、さらに第2の電流源を通して第2の電源接続に結合され、

第3のトランジスタの第1の領域が第7のトランジスタの第2の領域および第10のトランジスタの第1の領域に結合され、

第6のトランジスタの第1の領域が第8のトランジスタの第2の領域および第11のトランジスタの第1の領域に結合され、

第9のトランジスタの第1の領域が第1の電源接続に結合され、

第1および第2のトランジスタの制御電極が信号入力に接続され、

第3、第6および第9のトランジスタの制御電極が互いに結合されて、利得制御接続を形成し、

第4、第5、第10および第11のトランジスタの制御電極が互いに結合されて、第2の利得制御接続を形成し、

第7および第8のトランジスタの制御電極が互いに結合され、さらにバイアス入力接続に結合され、

第7のトランジスタの第1の領域が第1の負荷デバイスを通して第1の電源接続に結合され、出力接続を形成し、

第8のトランジスタの第1の領域が第2の負荷デバイスを通して第1の電源接続に結合され、第2の出力接続を形成する可変利得増幅器。

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

A. CLASSIFICATION OF SUBJECT MATTER IPC 6 H03G1/00		International Application No PCT/US 98/07334
According to International Patent Classification (PC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 6 H03G H03C H03D G06G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 620 639 A (SGS THOMSON MICROELECTRONICS) 19 October 1994	1,6
A	see page 4, line 57 - page 5, line 29; figures 4-6	11
X	US 5 532 637 A (KHOURY GEORGE ET AL) 2 July 1996	1,6
	see column 4, line 5 - line 47; figures 2,3	
A	US 5 057 787 A (ARAI MINORU ET AL) 15 October 1991	1.6.11
	see abstract; figure 1	
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "A" document member of the same patent family		
Date of the actual completion of the international search  1 July 1998		Date of making of the international search report  09/07/1998
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Telex: 1-31-701 340-2040, Tr 31 651 epo nl, Fax: 1-31-701 340-3016		Authorized officer  Blaas, D-L

Form PCT/ISA/210 (second sheet) (July 1992)

## INTERNATIONAL SEARCH REPORT

Information on patent family members

I. International Application No.

PCT/US 98/07334

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0620639	A	19-10-1994	JP 6326536 A	25-11-1994
			US 5418494 A	23-05-1995
US 5532637	A	02-07-1996	CA 2179469 A	30-12-1996
			GB 2302772 A	29-01-1997
US 5057787	A	15-10-1991	JP 2301308 A	13-12-1990

Form PCT/ISA210 (patent family annex) (July 1992)

---

フロントページの続き

(72)発明者 ウィリアムズ, スコット・リンジィ  
アメリカ合衆国・97223・オレゴン州・デ  
イガード・サウス ウェストローレン レ  
イン・13607